

## ⑫ 公開特許公報(A) 平3-217891

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月25日

G 09 G 3/36  
G 02 F 1/133

510

8621-5C  
7709-2H

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 カラー・マトリクス型液晶表示装置のデータ側駆動回路

⑯ 特 願 平2-13244

⑰ 出 願 平2(1990)1月23日

⑱ 発 明 者 若 井 洋 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発明の名称

カラー・マトリクス型液晶表示装置のデータ側駆動回路

## 2. 特許請求の範囲

(1) a) 1画素の表示データが現定のクロック信号に同期したM個(Mは正整数)の原色信号データとして入力される、カラー・マトリクス型液晶表示装置のデータ側駆動回路において、

b) 前記クロック信号の $1/N$ (Nは正整数)の周波数のシフトクロック信号でシフト動作を行なうシフトレジスタと、

c) 前記M原色信号の各々が入力されたM個一組のアナログスイッチと保持回路を複数組備えたサンプルホールド回路と、

4) 前記サンプルホールド回路に接続されたデータ線駆動回路とを有し、

d) 前記シフトレジスタの各一段の出力によ

り、前記M個一組のアナログスイッチが同時にサンプルホールド動作を行なうことを特徴とするカラー・マトリクス型液晶表示装置のデータ側駆動回路。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はカラー・マトリクス型液晶表示装置のデータ側駆動回路に関する。

## 〔従来の技術〕

テレビ等の商品分野でカラー・マトリクス型液晶表示装置(以下、カラー液晶パネルと呼ぶ)がCRT(Cathode Ray Tube)に置き換わる表示体として使われつつある。カラー液晶パネルの大型化に伴ない、テレビ以外の用途、例えばコンピュータのキャラクタディスプレイ用への展開等も考えられる。コンピュータでは、例えば外部インタフェース用に、アナログRGB信号(赤、緑、青の3原色信号)、同期信号、ドットクロック信

号(1画素のデータ転送期間を規定するクロック信号)等が出力されたコネクタが用意されている。

そのようなコンピュータと接続をとり、表示を行なうカラー液晶パネルのブロック図が第2図に示されている。201はコンピュータであって、コネクタから外部に、アナログRGB信号、同期信号SYNC、ドットクロック信号DOL等が出力されている。202はコントローラであって、SYNC、DOLから後述の各パネル駆動回路にタイミング制御信号を発生する。203はデータ駆動回路であって、コントローラ202から出力されSD、SOLの2つのタイミング制御信号によって、コンピュータからのRGB信号を取りこみ、カラー液晶パネル205の各画素の明暗を制御するデータ駆動信号を発生する。204は走査駆動回路であって、コントローラ202からのタイミング制御信号により、カラー液晶パネル205に走査駆動信号を発生する。205はカラー液晶パネルであって、各画素P0、P1、

駆動回路304が接続されていて、保持回路303で保持された電荷量に基づき、R0、G0、…各ラインを駆動するデータ線駆動信号を発生する。

第4図のタイムチャートにより、第3図データ駆動回路でのデータ・サンプリング動作について説明する。ドットクロックDOLに対して、シフトクロックSOLは3倍の周波数を持っており、位相関係も固定化されている。これはコントローラ202内にPLL(Phase Locked Loop)回路を持っていれば実現できる。

シフトクロックSOLにより、シフトデータSDは順次転送されてゆき、シフトレジスタ301の各段のQ出力からは、SOLの立上りに同期したSR0、SG0、…が発生する。保持回路303にはSR0、SG0、…の立下り時のR、G、Bのレベルがサンプル・ホールドされる。

#### [発明が解決しようとする課題]

しかし前述の従来技術では以下のような課題が

…はP0はR0、00、B0、P1はR1、01、B1というように、R、G、Bの3個の原色絵素からなっている。

第3図は第2図におけるデータ駆動回路203の従来の回路例である。301はシフトレジスタであって、各一段はフリップフロップよりなり、各段の出力Qが次段の入力Dに接続されている。ただし初段のD入力にはコントローラ202からのシフトデータ信号SDが接続されている。またシフトレジスタ301はシフトクロック信号SOLに同期してシフトデータを転送してゆく。SR0、SG0、…は各段のQ出力である。302はアナログスイッチであって、シフトレジスタ301の各段のQ出力によってゲート制御されている。アナログスイッチ302の入力側はR、G、Bのいずれかの原色信号線と接続されている。アナログスイッチ302の出力側にはアナログスイッチ302でサンプリングされた信号レベルを保持するべく、容量よりなる保持回路303が接続されている。また保持回路303にはデータ線

あった。まずデータ駆動回路203内のシフトレジスタのシフトクロックSOLとして、ドットクロックDOLの3倍の周波数の信号が必要である。例えばある種のコンピュータのドットクロック信号は21MHzであるので、この場合にはシフトクロック信号SOLは63MHzとなり、高速動作の回路が要求され、回路設計が困難であり、かつ消費電力の増大につながる。またコントローラ202内にPLL回路が必要であり、コスト上昇の一因となる。

本発明はこのような従来の技術の課題を解決すべくなされたものであり、本発明の目的は、動作周波数を抑えることができ、したがって回路設計がたやすく、消費電力の小さいカラー・マトリクス型液晶表示装置を提供することにある。

#### [課題を解決するための手段]

前述の目的を達成するために本発明では、

(1) a) 1画素の表示データが規定のクロック信号に同期したM個(Mは正整数)の原色信

号データとして入力される、カラー・マトリクス型液晶表示装置のデータ側駆動回路において、

h) 前記クロック信号の $1/M$  ( $M$ は正整数)の周波数のシフトクロック信号でシフト動作を行なうシフトレジスタと、

i) 前記 $M$ 原色信号の各々が入力された $M$ 個一組のアナログスイッチと保持回路を複数組備えたサンプルホールド回路と、

j) 前記サンプルホールド回路に接続されたデータ線駆動回路とを有し、

k) 前記シフトレジスタの各一段の出力により、前記 $M$ 個一組のアナログスイッチが同時にサンプルホールド動作を行なうことを特徴とするカラー・マトリクス型液晶表示装置のデータ側駆動回路。

を提示する。

#### [実施例]

以下、図面に基づき本発明の一構成例について説明する。

クロックは共通である。シフトレジスタ101ではシフトクロックSCLにてシフトデータSDを順次転送してゆき、各段のQ出力からはS0, S1, ……のサンプリング信号が出力される。そして、例えばS0のタイミングでは105のサンプル・ホールド回路にて、R0, G0, B0の映像データが同時にサンプル・ホールドされる。

#### [発明の効果]

以上のように本発明によれば、1画素の表示データがクロック信号に同期して $M$ 個の原色信号データとして入力されるカラー表示パネルにおいて、 $M$ 個の原色信号に対応するサンプル・ホールド回路をシフトレジスタの各一段の出力によりサンプル・ホールド動作させることにより、シフトレジスタの動作周波数を低くできる。これは回路設計の簡易化と消費電力の低減につながる。またコントローラにてPLL回路が不要である。

本実施例では $M=3$ 、すなわち一画素がRGB 3原色信号にて表現される場合を示したが、他の

第1図は本発明による、カラー・マトリクス型液晶表示装置のデータ側駆動回路の構成図である。

101はシフトレジスタであって、初段のD入力にはシフトデータSDが入力され、以後の各段のQ出力は次段のD入力と接続されている。シフトレジスタ101はシフトクロックSCLでシフト動作を行っており、各段のQ出力がサンプリング信号S0, S1, ……である。102はアナログスイッチであって、入力部にはR, G, B原色信号が接続されており、出力には保持回路103が接続されている。保持回路103にはさらにデータ線駆動回路104が接続されていて、各データラインを駆動する。サンプル・ホールド回路はアナログスイッチ102と保持回路103で構成されているが、105のように、カラー液晶パネル205内の各画素P0, P1, ……に対応した3個一組について、共通のサンプリングパルスS0, S1, ……が入力されている。

第5図にてサンプル・ホールド動作を説明する。この場合ドットクロックDOLとシフトクロック

例、例えば $M=4$ 、すなわちRGBとY(輝度もしくは白)の4原色信号にて一画素が表現される場合にも適用可能である。DA変換器にて基準クロック信号にてディジタルーアナログ変換されているようなビデオ信号についても、同様の処理は可能である。

またデータ側駆動回路をカラー液晶パネル205の上下に配置し、各画素を交互に上下のデータ側駆動回路にて駆動するようにすれば、シフトクロック信号の周波数をさらに $1/2$ にすることもできる。(  $M=2$  )

#### 4. 図面の簡単な説明

第1図は本発明によるカラー・マトリクス型液晶表示装置のデータ側駆動回路の構成図。

第2図はカラー・マトリクス型液晶表示装置の構成図。

第3図は従来のカラー・マトリクス型液晶表示装置のデータ側駆動回路の構成図。

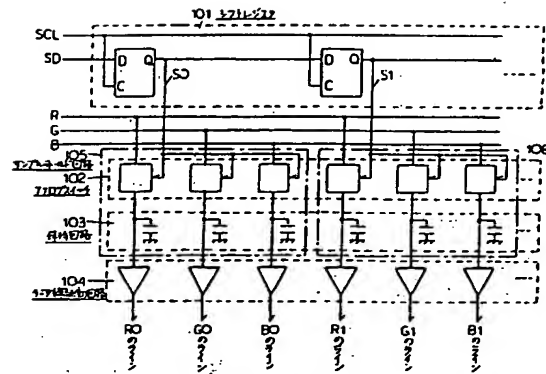
第4図は第3図各部のタイムチャート図。

第 5 図は第 1 図各部のタイムチャート図。

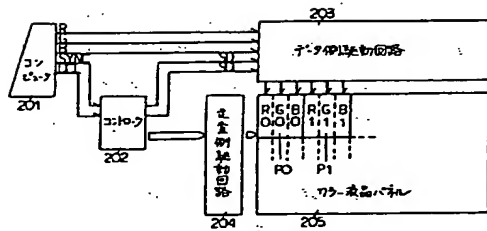
- 1 0 1 …… シフトレジスタ
- 1 0 2 …… アナログスイッチ
- 1 0 3 …… 保持回路
- 1 0 4 …… データ線駆動回路
- 1 0 5 …… サンプル・ホールド回路

以 上

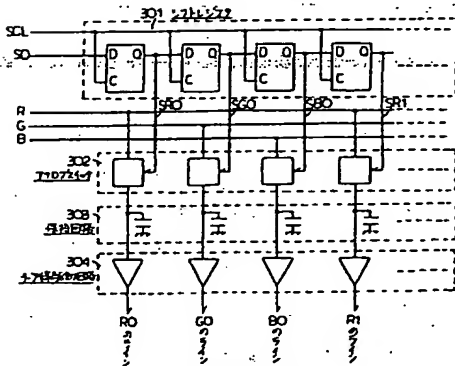
出 願 人 セイコーエプソン株式会社  
代 理 人 弁理士 鈴木喜三郎 (他 1 名)



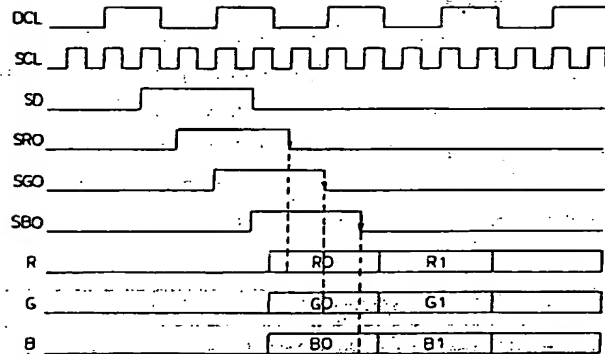
第 1 図



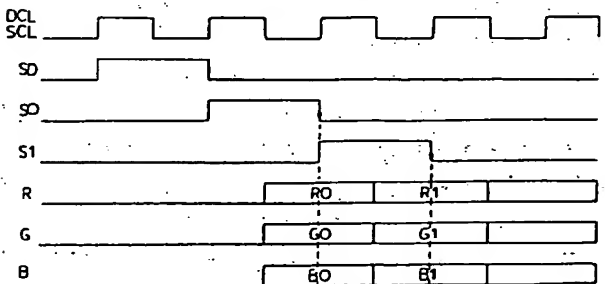
第 2 図



第 3 図



第 4 図



第 5 図

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-217891

(43)Date of publication of application : 25.09.1991

(51)Int.Cl.

G09G 3/36

G02F 1/133

(21)Application number : 02-013244

(71)Applicant : SEIKO EPSON CORP

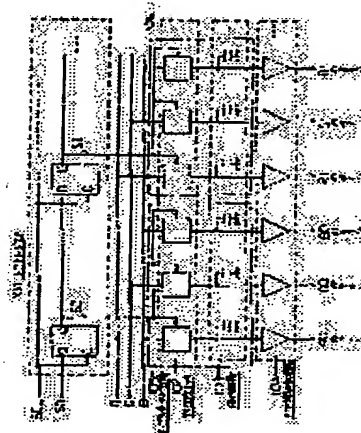
(22)Date of filing : 23.01.1990

(72)Inventor : WAKAI YOICHI

**(54) DATA-SIDE DRIVING CIRCUIT OF COLOR MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE****(57)Abstract:**

**PURPOSE:** To simplify circuit design by placing sample-hold circuit which corresponds to M primary color signals in sample holding operation with outputs of respective stages of a shift register.

**CONSTITUTION:** The shift register 101 transfers shift data SD in order with a shift clock SCL and sampled signals SO, S1... are outputted from the Q outputs of the respective stages. Then a sample-hold circuit 105 samples and holds video data R0, G0, and B0 at the same time at, for example, timing SO. Consequently, the operation frequency of the shift register can be lowered to simplify the circuit design and reduce the power consumption.



Copyright (C); 1998,2003 Japan Patent Office